

Caractéristiques

Matériel compatible avec KT0803K et KT0803M

Des fonctionnalités supplémentaires à KT0803K et KT0803M

- Veille de logiciel;
- Amplificateur de puissance automatique quand le silence est détecté
- Support d'horloge de référence multiple compris de 32,768 kHz à 26 MHz;
- ALC (contrôle automatique de niveau) SNR plus élevé (Stéréo: 66dB)
- Augmentation de la réponse en fréquence audio
- Sélection XTAL contrôlée par logiciel
- Performance de qualité professionnelle: SNR \geq 66 dB
Séparation stéréo > 40 dB
Compatible international 70MHz ~ 108MHz
Consommation d'énergie ultra-faible: <17 mA courant de fonctionnement <3 μ A courant de veille
Alimentation électrique unique
Interface MCU I2C 2 fils standard
Traitement du signal audio numérique avancé: Sur-puce 20 bits $\Delta\Sigma$ Audio ADC
- DSP sur pucePGA sur puce de 24 dB avec étape optionnelle de 1 dB
Calibrage automatique par rapport au processus et température
Alimentation 1.6V ~ 3.6V
Niveau de transmission programmable
Pré-accélération programmable (50/75 μ s)
Pb-libre et RoHS conforme
Paquet SOP-16
Applications : MP3, téléphone cellulaire, PDA, PND, Lecteur MP3, téléphone cellulaire, PDA, PND
lecteur multimédia personnel portable et son accessoire, Ordinateur portable, haut-parleur sans fil

Rev. 1.3

Les informations fournies par KT Micro sont considérées comme exactes et fiable. Cependant, aucune Responsabilité n'est assumée par KT Micro pour son utilisation, ni pour toute violation de brevets ou d'autres droits de tiers pouvant résulter de son utilisation. Non licence est accordée implicitement ou autrement en vertu de brevets ou droits de brevet de KT Micro, Inc

□ Description générale

KT0803L, notre nouvelle génération de monolithique à faible coût Transmetteur FM numérique, est conçu pour traiter la haute fidélité signal audio stéréo et transmettre le signal FM modulé sur une courte portée. Il est basé sur l'architecture du primé

KT0801 et c'est aussi une mise à niveau de KT0803K et KT0803M. Les fonctionnalités supplémentaires ajoutées à KT0803L sont mode veille par logiciel, ALC (niveau automatique contrôle), horloge de référence multiple, SNR augmenté la performance et la réponse en fréquence.

Le KT0803L dispose de deux ADC audio 20 bits $\Delta\Sigma$, une haute fidélité processeur audio stéréo numérique et entièrement intégré émetteur de radiofréquence (RF). Un bas-drop-out sur puce régulateur (LDO) permet à la puce d'être intégrée dans un large gamme de systèmes à batterie basse tension avec alimentation alimentation allant de 1,6V à 3,6V.

Le KT0803L est configuré comme un esclave I2C et programmé à travers le microcontrôleur à 2 fils standard de l'industrie interface.

Grâce à son haut niveau d'intégration, le KT0803L est monté dans un paquet générique SOP à 16 broches. Cela nécessite seulement une seule alimentation basse tension. Aucun réglage externe n'est requis cela rend l'effort de conception minimum.

Interface série 2 fils compatible I2C

3.1 Descriptions générales

L'interface série est constituée d'un contrôleur série et de registres. Un décodeur d'adresse interne transfère le contenu des données dans les registres appropriés. S'il vous plaît noter que l'adresse I2C est 0x 01111110 le même que en KT0803K et KT0803M. Aucun changement de logiciel ou de matériel n'est nécessaire si KT0803L est utilisé pour remplacer KT0803K et KT0803M.

Les opérations d'écriture et de lecture sont toutes deux prises en charge selon le protocole suivant:

Opérations d'écriture:

BYTE ÉCRIRE:

L'opération d'écriture est réalisée via une séquence de 3 octets:

- Adresse de série avec commande d'écriture
- Enregistrer l'adresse
- Enregistrer les données

- Une opération d'écriture nécessite une adresse de registre de 8 bits suivant le mot d'adresse de l'appareil et l'accusé de réception.
A la réception de cette adresse, le KT0803L répondra à nouveau avec un "0" puis une horloge dans le registre 8 bits
Les données. Après la réception des données du registre à 8 bits, le KT0803L émettra un «0» et le dispositif d'adressage, comme un microcontrôleur, doit terminer la séquence d'écriture avec une condition d'arrêt (voir la figure 3).

Lire les opérations:

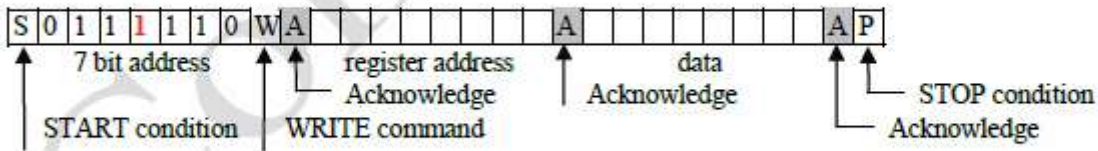
RANDOM READ:

L'opération de lecture est réalisée via une séquence de 4 octets:

- Adresse de série avec commande d'écriture
- Enregistrer l'adresse
- Adresse de série avec commande de lecture
- Enregistrer les données

Une fois que l'adresse de l'appareil et l'adresse du registre sont synchronisées et acquittées par le KT0803L, le microcontrôleur doit générer une autre condition de démarrage. Le microcontrôleur initie maintenant une adresse actuelle lire en envoyant une adresse de périphérique avec le bit de sélection lecture / écriture élevé. Le KT0803L reconnaît l'adresse du dispositif et fait sortir en série les données du registre. Le microcontrôleur ne répond pas avec un "0" mais génère une condition d'arrêt suivante (voir la figure 3).

RANDOM REGISTER WRITE PROCEDURE



RANDOM REGISTER READ PROCEDURE

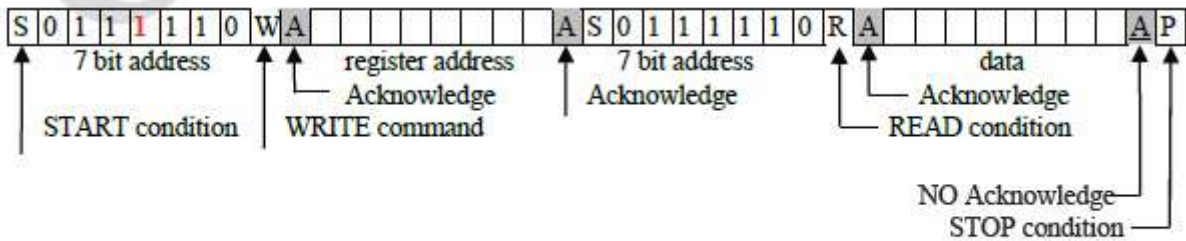


Figure 3: Serial Interface Protocol

ADRESSE ACTUELLE LIRE: Le compteur d'adresses du registre de données interne conserve la dernière adresse accédé lors de la dernière opération de lecture ou d'écriture, incrémenté de un. Cette adresse reste valide entre opérations aussi longtemps que la puissance de la puce est maintenue.

Une fois que l'adresse de l'appareil avec le bit de sélection lecture / écriture réglé sur "1" est enregistrée et reconnue par le KT0803L, le mot de données d'adresse actuel est cadencé en série. Le microcontrôleur ne répond pas avec une entrée "0" mais génère une condition d'arrêt suivante (voir la figure 4).

CURRENT REGISTER READ PROCEDURE

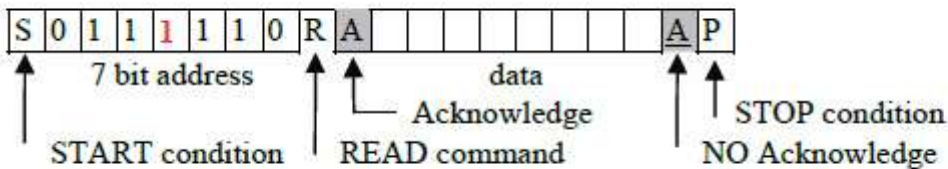


Figure 4: Serial Interface Protocol

Remarque: Le contrôleur série prend uniquement en charge le mode esclave. Tout registre peut être adressé au hasard. L'adresse de l'esclave dans les 7 premiers bits et le 8ème bit indique si le maître reçoit des données du esclave ou transmettre des données à l'esclave. L'adresse d'écriture I2C est 0x7C et l'adresse de lecture est 0x7D.

3.2 Protocole du mode esclave

En référence au schéma d'horloge représenté sur la figure 5, l'interface série fonctionne de la manière suivante :

3.2 Slave Mode Protocol

With reference to the clocking scheme shown in Figure 5, the serial interface operates in the following manner:

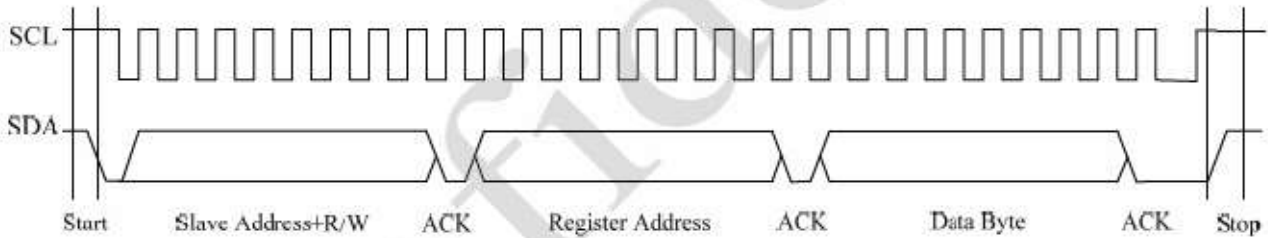


Figure 5: Serial Interface Slave Mode Protocol

TRANSITIONS D'HORLOGE ET DE DONNÉES: La broche SDA est normalement tirée vers le haut avec un périphérique externe. Les données sur la broche SDA peut changer uniquement pendant les périodes de faible durée SCL (voir Figure 6). Les données changent pendant SCL les périodes élevées indiquent une condition de démarrage ou d'arrêt comme défini ci-dessous.

CONDITION DE DÉPART: Une transition haut-bas de SDA avec SCL high est une condition de départ qui doit précède toute autre commande (voir la figure 7).

CONDITION D'ARRÊT: Une transition basse à haute de SDA avec SCL haut est une condition d'arrêt. Après une lecture séquence, la commande d'arrêt placera le KT0803L en mode veille (voir Figure 7).

ACKNOWLEDGE: Toutes les adresses et mots de données sont transmis en série vers et depuis le KT0803L en 8 bits. Le KT0803L envoie un "0" pour confirmer qu'il a reçu chaque mot. Cela arrive pendant le neuvième cycle d'horloge (voir la figure 8).

Data Validity

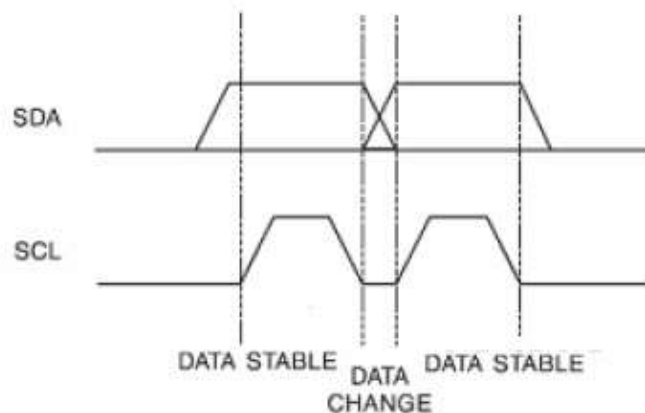


Figure 6: Clock and Data Transitions

Start and Stop Definition

Figure 6: Clock and Data Transitions



Start and Stop Definition

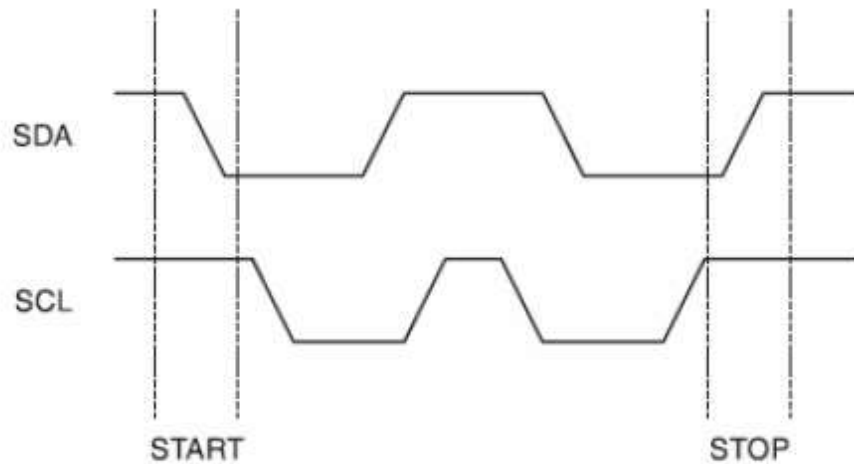


Figure 7: Start and Stop Definition

Output Acknowledge

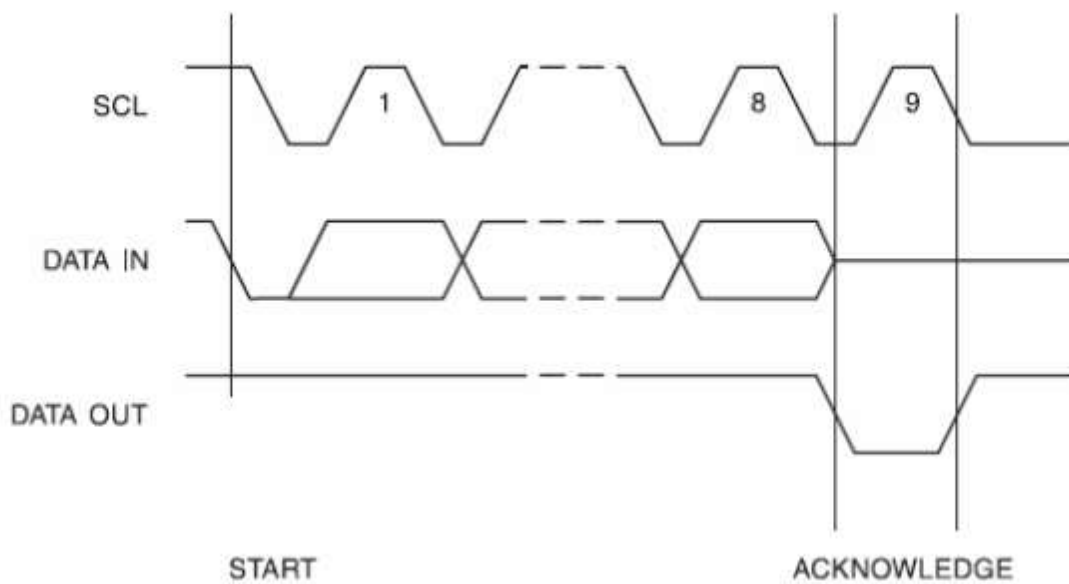


Figure 8: Acknowledge

4 banque de registre

La banque de registres stocke les codes de fréquence des canaux, les paramètres d'étalonnage, l'état de fonctionnement, le mode et la puissance les contrôles, qui peuvent être accessibles par le contrôleur numérique interne, les machines d'état et micro externe contrôleurs via l'interface série.

Tous les registres ont une largeur de 8 bits. Les logiques de contrôle sont actives, sauf indication contraire.

Register	7	6	5	4	3	2	1	0
0x00	CHSEL[8:1]							
0x01	RFGAIN[1:0]		PGA[2:0]		CHSEL[11:9]			
0x02	CHSEL[0]	RFGAIN[3]	-	-	MUTE	PLTADJ	-	PHTCNST
0x04	ALC_EN	MONO	PGA_LSB[1:0]		-	BASS[1:0]		
0x0B	Standby	-	PDPA	-	-	AUTO PA DN	-	-
0x0C	ALC DECAY TIME[3:0]			ALC ATTACK TIME[3:0]				
0x0E	-	-	-	-	-	-	PA_BIAS	-
0x0F	-	-	-	PW_OK	-	SLNCID	-	-
0x10	-	-	-	-	-	-	-	PGAMOD
0x12	SLNCDIS	SLNCTHL[2:0]		SLNCTHH[2:0]				SW MOD
0x13	RFGAIN[2]	-	-	-	-	PA_CTRL	-	-
0x14	SLNCTIME[2:0]		SLNCCNTHIGH[2:0]			-	SLNCTIME[3]	
0x15	ALCCMPGAIN[2:0]							
0x16	-		-	-	SLNCCNTLOW[2:0]			
0x17	-	FDEV	AU ENHANCE	XTAL_SEL				
0x1E	DCLK		XTALD	REF_CLK[3:0]				
0x26	ALCHOLD[2:0]		ALCHIGHTH[2:0]					
0x27				ALCLOWTH[3:0]				

Note 1: SEUL lire / écrire les registres définis.

Remarque 2: Les registres ombrés sont nouveaux ou modifiés dans KT0803L. Les logiques de contrôle sont actives, sauf indication contraire.

4.1 Register 0x00 (Address: 0x00, Default value: 0x5C)

Bit	7	6	5	4	3	2	1	0
KT0803L	CHSEL[8:1]							

S'il vous plaît noter que le canal par défaut de KT0803L est de 86 MHz au lieu de 89,7 MHz dans KT0803K et KT0803M.

CHSEL [11: 0] = Dec2Bin (fréquence cible en MHz x 20),
où CHSEL [11: 0] = Reg0x1 [2: 0]: Reg0x0 [7: 0]: Reg0x2 [7]

4.2 Register 0x01 (Address: 0x01, Default value: 0xC3)

Bit	7	6	5	4	3	2	1	0
KT0803L	RFGAIN[1:0]		PGA[2:0]		CHSEL[11:9]			

Bits	Type	Default	Label	Description
7:6	RW	11	RFGAIN[1:0]	Transmission Range Adjustment with RFGAIN[3] in Reg 0x02[6] and RFGAIN[2] in Reg 0x13[7] (See Table 4 below)

Bits	Type	Default	Label	Description
5:3	RW	000	PGA[2:0]	PGA Gain Control (see PGA_LSB description, Reg 0x04) 111: 12dB 110: 8dB 101: 4dB 100: 0dB 000: 0dB 001: -4dB 010: -8dB 011: -12dB
2:0	RW	011	CHSEL[11:9]	FM Channel Selection[11:9]

Table 4: Transmission power setting

RFGAIN[3:0]	RFOUT
0000	95.5 dBuV
0001	96.5 dBuV
0010	97.5 dBuV
0011	98.2 dBuV
0100	98.9 dBuV
0101	100 dBuV
0110	101.5 dBuV
0111	102.8 dBuV
1000	105.1 dBuV (107.2dBuV PA_BIAS=1)
1001	105.6 dBuV (108dBuV, PA_BIAS=1)
1010	106.2 dBuV (108.7dBuV, PA_BIAS=1)
1011	106.5 dBuV (109.5dBuV, PA_BIAS=1)
1100	107 dBuV (110.3dBuV, PA_BIAS=1)
1101	107.4 dBuV (111dBuV, PA_BIAS=1)
1110	107.7 dBuV (111.7dBuV, PA_BIAS=1)
1111 (default setting)	108 dBuV (112.5dBuV, PA_BIAS=1)

4.3 Register 0x02 (Address: 0x02, Default: 0x40)

Bit	7	6	5	4	3	2	1	0
KT0803L	CHSEL[0]	RFGAIN[3]	-	-	MUTE	PLTADJ	-	PHTCNST

Bits	Type	Default	Label	Description
7	RW	0	CHSEL[0]	LSB of CHSEL
6	RW	1	RFGAIN[3]	MSB of RFGAIN
5:4	RW	00	Reserved	Reserved
3	RW	0	MUTE	Software Mute 0: MUTE Disabled 1: MUTE Enabled
2	RW	0	PLTADJ	Pilot Tone Amplitude Adjustment 0: Amplitude low 1: Amplitude high
1	RW	0	Reserved	Reserved
0	RW	0	PHTCNST	Pre-emphasis Time-Constant Set 0: 75 μ s (USA, Japan) 1: 50 μ s (Europe, Australia)

4.4 Register 0x04 (Address: 0x04, Default: 0x04)

Bit	7	6	5	4	3	2	1	0
KT0803L	ALC_EN	MONO	PGA_LSB[1:0]		-		BASS[1:0]	
KT0803K/M	-	MONO	PGA_LSB[1:0]		FDEV[1:0]		BASS[1:0]	

Bits	Type	Default	Label	Description																																																																																																			
7	RW	0	ALC_EN	Automatic Level Control Enable Control 0 = Disable ALC 1 = Enable ALC																																																																																																			
6	RW	0	MONO	0 = Stereo 1 = Mono																																																																																																			
5:4	RW	00	PGA_LSB[1:0]	<table border="1"> <thead> <tr> <th>PGA[2:0]</th> <th>PGA LSB[1:0]</th> <th>PGA Gain</th> </tr> </thead> <tbody> <tr><td>111</td><td>11</td><td>12dB</td></tr> <tr><td>111</td><td>10</td><td>11</td></tr> <tr><td>111</td><td>01</td><td>10</td></tr> <tr><td>111</td><td>00</td><td>9</td></tr> <tr><td>110</td><td>11</td><td>8</td></tr> <tr><td>110</td><td>10</td><td>7</td></tr> <tr><td>110</td><td>01</td><td>6</td></tr> <tr><td>110</td><td>00</td><td>5</td></tr> <tr><td>101</td><td>11</td><td>4</td></tr> <tr><td>101</td><td>10</td><td>3</td></tr> <tr><td>101</td><td>01</td><td>2</td></tr> <tr><td>101</td><td>00</td><td>1</td></tr> <tr><td>100</td><td>11</td><td>0</td></tr> <tr><td>100</td><td>10</td><td>0</td></tr> <tr><td>100</td><td>01</td><td>0</td></tr> <tr><td>100</td><td>00</td><td>0</td></tr> <tr><td>000</td><td>00</td><td>0</td></tr> <tr><td>000</td><td>01</td><td>-1</td></tr> <tr><td>000</td><td>10</td><td>-2</td></tr> <tr><td>000</td><td>11</td><td>-3</td></tr> <tr><td>001</td><td>00</td><td>-4</td></tr> <tr><td>001</td><td>01</td><td>-5</td></tr> <tr><td>001</td><td>10</td><td>-6</td></tr> <tr><td>001</td><td>11</td><td>-7</td></tr> <tr><td>010</td><td>00</td><td>-8</td></tr> <tr><td>010</td><td>01</td><td>-9</td></tr> <tr><td>010</td><td>10</td><td>-10</td></tr> <tr><td>010</td><td>11</td><td>-11</td></tr> <tr><td>011</td><td>00</td><td>-12</td></tr> <tr><td>011</td><td>01</td><td>-13</td></tr> <tr><td>011</td><td>10</td><td>-14</td></tr> <tr><td>011</td><td>11</td><td>-15</td></tr> </tbody> </table>	PGA[2:0]	PGA LSB[1:0]	PGA Gain	111	11	12dB	111	10	11	111	01	10	111	00	9	110	11	8	110	10	7	110	01	6	110	00	5	101	11	4	101	10	3	101	01	2	101	00	1	100	11	0	100	10	0	100	01	0	100	00	0	000	00	0	000	01	-1	000	10	-2	000	11	-3	001	00	-4	001	01	-5	001	10	-6	001	11	-7	010	00	-8	010	01	-9	010	10	-10	010	11	-11	011	00	-12	011	01	-13	011	10	-14	011	11	-15
PGA[2:0]	PGA LSB[1:0]	PGA Gain																																																																																																					
111	11	12dB																																																																																																					
111	10	11																																																																																																					
111	01	10																																																																																																					
111	00	9																																																																																																					
110	11	8																																																																																																					
110	10	7																																																																																																					
110	01	6																																																																																																					
110	00	5																																																																																																					
101	11	4																																																																																																					
101	10	3																																																																																																					
101	01	2																																																																																																					
101	00	1																																																																																																					
100	11	0																																																																																																					
100	10	0																																																																																																					
100	01	0																																																																																																					
100	00	0																																																																																																					
000	00	0																																																																																																					
000	01	-1																																																																																																					
000	10	-2																																																																																																					
000	11	-3																																																																																																					
001	00	-4																																																																																																					
001	01	-5																																																																																																					
001	10	-6																																																																																																					
001	11	-7																																																																																																					
010	00	-8																																																																																																					
010	01	-9																																																																																																					
010	10	-10																																																																																																					
010	11	-11																																																																																																					
011	00	-12																																																																																																					
011	01	-13																																																																																																					
011	10	-14																																																																																																					
011	11	-15																																																																																																					
3:2	RW	01	Reserved	Reserved																																																																																																			
1:0	RW	00	BASS[1:0]	Bass Boost Control 00 : Disabled 01 : 5dB 10 : 11dB 11 : 17dB																																																																																																			

4.5 Register 0x0B (Address: 0x0B, Default: 0x00)

Bit	7	6	5	4	3	2	1	0
KT0803L	Standby	-	PDPA	-	-	AUTO_PADN	-	-
KT0803K/M	-	-	PDPA	-	-	-	-	-

Bits	Type	Default	Label	Description
7	RW	0	Standby	Chip Standby Control Bit 0 = Normal operation 1 = Standby enable
6	RW	0	Reserved	Reserved
5	RW	0	PDPA	Power Amplifier Power Down 0 = Power amplifier power on 1 = Power amplifier power down
4	RW	0	Reserved	Reserved
3	RW	0	Reserved	Reserved
2	RW	0	AUTO_PADN	Automatic Power Down Power Amplifier When Silence is Detected 0 = Disable this feature 1 = Enable this feature
1	RW	0	Reserved	Reserved
0	RW	0	Reserved	Reserved

4.6 Register 0x0C (Address: 0x0C, Default: 0x00) - New

Bit	7	6	5	4	3	2	1	0
KT0803L	ALC_DECAY_TIME[3:0]				ALC_ATTACK_TIME[3:0]			

Bits	Type	Default	Label	Description
7:4	RW	0000	ALC_DECAY_TIME[3:0]	ALC Decay Time Selection 0000 = 25us 0001 = 50us 0010 = 75us 0011 = 100us 0100 = 125us 0101 = 150us 0110 = 175us 0111 = 200us 1000 = 50ms 1001 = 100ms 1010 = 150ms 1011 = 200ms 1100 = 250ms 1101 = 300ms 1110 = 350ms 1111 = 400ms

Bits	Type	Default	Label	Description
3:0	RW	0000	ALC_ATTACK_TIME[3:0]	ALC Attack Time Selection 0000 = 25us 0001 = 50us 0010 = 75us 0011 = 100us 0100 = 125us 0101 = 150us 0110 = 175us 0111 = 200us 1000 = 50ms 1001 = 100ms 1010 = 150ms 1011 = 200ms 1100 = 250ms 1101 = 300ms 1110 = 350ms 1111 = 400ms

4.7 Register 0x0E (Address: 0x0E, Default: 0x02)

Bit	7	6	5	4	3	2	1	0
KT0803L	-	-	-	-	-	-	PA_BIAS	-

Bits	Type	Default	Label	Description
7:2	RW	0x00	Reserved	Reserved
1	RW	1	PA_BIAS	PA Bias Current Enhancement. 0 = Disable PA bias 1 = Enable PA bias
0	RW	0	Reserved	Reserved

4.8 Register 0x0F (Address: 0x0F, Read only)

Bit	7	6	5	4	3	2	1	0
KT0803L	-	-	-	PW_OK	-	SLNCID	-	-

Bits	Type	Default	Label	Description
7	R	NA	Reserved	Reserved
6	R	NA	Reserved	Reserved
5	R	NA	Reserved	Reserved
4	R	NA	PW_OK	Power OK Indicator
3	R	NA	Reserved	Reserved
2	R	NA	SLNCID	1 when Silence is Detected
1	R	NA	Reserved	Reserved
0	R	NA	Reserved	Reserved

4.9 Register 0x10 (Address: 0x10, Default: 0xA8)

Bit	7	6	5	4	3	2	1	0
KT0803L	-	-	-	-	-	-	-	PGAMOD
KT0803K/M	-	-	-	LMTLV[1:0]		-	-	PGAMOD

Bits	Type	Default	Label	Description
7:5	RW	101	Reserved	Reserved
4:3	RW	01	Reserved	Reserved
2:1	RW	00	Reserved	Reserved
0	RW	0	PGAMOD	PGA Mode Selection 0 = 4dB step 1 = 1dB step with PGA_LSB[1:0] used

4.10 Register 0x12 (Address: 0x12, Default: 0x80)

Bit	7	6	5	4	3	2	1	0
KT0803L	SLNCDIS	SLNCTHL[2:0]			SLNCTHH[2:0]			SW_MOD

Bits	Type	Default	Label	Description
7	RW	1	SLNCDIS	Silence Detection Disable 0 : Enable 1 : Disable
6:4	RW	000	SLNCTHL	Silence Detection Low Threshold 000 : 0.25mv 001 : 0.5mv 010 : 1mv 011 : 2mv 100 : 4mv 101 : 8mv 110 : 16mv 111 : 32mv
3:1	RW	000	SLNCTHH	Silence Detection High Threshold 000 : 0.5mv 001 : 1mv 010 : 2mv 011 : 4mv 100 : 8mv 101 : 16mv 110 : 32mv 111 : 64mv
0	RW	0	SW_MOD	Switching Channel Mode Selection. 0 = Mute when changing channel 1 = PA off when changing channel

4.11 Register 0x13 (Address: 0x13, Default: 0x80)

Bit	7	6	5	4	3	2	1	0
KT0803L	RFGAIN[2]	-			-	PA_CTRL	-	-

Bits	Type	Default	Label	Description
7	RW	1	RFGAIN[2]	PA (Power amplifier) power (combined with Reg 0x01[7:6] and Reg 0x02[6]) to set up transmission range)
6:3	RW	0000	Reserved	Reserved

Bits	Type	Default	Label	Description
2	RW	0	PA_CTRL	Power amplifier structure selection 0 = Internal power supply, KT0803 compatible 1 = External power supply via external inductor Note : When an external inductor is used, this bit must be set to 1 immediately after the Power OK indicator Reg 0x0F[4] is set to 1. Otherwise, the device may be destroyed!
1:0	RW	00	Reserved	Reserved

4.12 Register 0x14 (Address: 0x14, default 0x00)

Bit	7	6	5	4	3	2	1	0
KT0803L	SLNCTIME[2:0]			SLNCCNTHIGH[2:0]			-	SLNC_TIME[3]
KT0803K/M	SLNCTIME[2:0]			SLNCCNTHIGH[2:0]			-	-

Bits	Type	Default	Label	Description
7:5	RW	000	SLNCTIME[2:0]	Silence Detection Low Level and High Level Duration Time 000 : 50ms (16s if SLNCTIME[3] = 1) 001 : 100ms (24s if SLNCTIME[3] = 1) 010 : 200ms (32s if SLNCTIME[3] = 1) 011 : 400ms (40s if SLNCTIME[3] = 1) 100 : 1s (48s if SLNCTIME[3] = 1) 101 : 2s (56s if SLNCTIME[3] = 1) 110 : 4s (60s if SLNCTIME[3] = 1) 111 : 8s (64s if SLNCTIME[3] = 1)
4:2	RW	000	SLNCCNTHIGH[2:0]	Silence Detection High Level Counter Threshold 000 : 15 001 : 31 010 : 63 011 : 127 100 : 255 101 : 511 110 : 1023 111 : 2047
1	RW	0	Reserved	Reserved
0	RW	0	SLNCTIME[3]	Silence Detection Long Duration Time Enable 0 = Short duration time enable 1 = Long duration time enable

4.13 Register 0x15 (Address 0x15, default: 0xE0) - New

Bit	7	6	5	4	3	2	1	0
KT0803L	ALCCMPGAIN[2:0]			-	-		-	

Bits	Type	Default	Label	Description
------	------	---------	-------	-------------

Bits	Type	Default	Label	Description
7:5	RW	111	ALCCMPGAIN[2:0]	ALC Compressed Gain Setting 100 = 06 (6dB) 101 = 03 (3dB) 110 = 00 (0dB) 111 = 1D (-3dB) 000 = 1A(-6dB) 001 = 17(-9dB) 010 = 14(-12dB) 011 = 11(-15dB)
4:0	R		Reserved	Reserved

4.14 Register 0x16 (Address 0x16, default: 0x00)

Bit	7	6	5	4	3	2	1	0
KT0803L		-		-	-	SLNCCNTLOW[2:0]		

Bits	Type	Default	Label	Description
7:3	RW	0x0	Reserved	Reserved
2:0	RW	000	SLNCCNTLOW[2:0]	Silence Low Counter 000 : 1 001 : 2 010 : 4 011 : 8 100 : 16 101 : 32 110 : 64 111 : 128

4.15 Register 0x17 (Address 0x17, default: 0x00) - New

Bit	7	6	5	4	3	2	1	0
KT0803L	-	FDEV	AU_ENHANCE	-	XTAL_SEL			

Bits	Type	Default	Label	Description
7	RW	0	Reserved	Reserved
6	RW	0	FDEV	Frequency Deviation Delection 0 = 75kHz deviation 1 = 112.5kHz deviation
5	RW	0	AU_ENHANCE	Audio Frequency Response Enhancement Enable 0 = Disable 1 = Enable
4	RW	0	Reserved	Reserved
3	RW	0	XTAL_SEL	Software Controlled Crystal Oscillator Selection 0 = 32.768kHz crystal 1 = 7.6MHz crystal

4.16 Register 0x1E (Address 0x1E, default: 0x00) - New

Bit	7	6	5	4	3	2	1	0
KT0803L	-	DCLK	XTALD	-	REF_CLK[3:0]			

Bits	Type	Default	Label	Description
7	RW	0	Reserved	Reserved
6	RW	0	DCLK	Multiple Reference Clock Selection Enable 0 = Disable multiple reference clock feature and reference clock or crystal oscillator can only select through SW1/SW2 pins. 1 = Enable multiple reference clock and user can select different reference clock through REF_CLK[3:0]
5	RW	0	XTALD	Crystal Oscillator Disable Control 0 = Enable crystal oscillator 1 = Disable crystal oscillator
4	RW	0	Reserved	Reserved
3:0	RW	0000	REF_CLK[3:0]	Reference Clock Selection 0000 = 32.768kHz 0001 = 6.5MHz 0010 = 7.6MHz 0011 = 12MHz 0100 = 13MHz 0101 = 15.2MHz 0110 = 19.2MHz 0111 = 24MHz 1000 = 26MHz Others = Reserved

4.17 Register 0x26 (Address 0x26, default: 0xA0) - New

Bit	7	6	5	4	3	2	1	0
KT0803L		ALCHOLD[2:0]		-		ALCHIGHTH[2:0]		-
KT0803K/M	-			-	-			

Bits	Type	Default	Label	Description
7:5	RW	101	ALCHOLD[2:0]	ALC Hold Time Selection 000 = 50ms 001 = 100ms 010 = 150ms 011 = 200ms 100 = 1s 101 = 5s 110 = 10s 111 = 15s
4	RW	0	Reserved	Reserved
3:1	RW	000	ALCHIGHTH[2:0]	ALC High Threshold Selection 000 = 0.6 001 = 0.5 010 = 0.4 011 = 0.3 100 = 0.2 101 = 0.1 110 = 0.05 111 = 0.01
0	RW	0	Reserved	Reserved

4.18 Register 0x27 (Address 0x27, default: 0x00) - New

Bit	7	6	5	4	3	2	1	0
KT0803L	-	-	-	-		ALCLOWTH[3:0]		

Bits	Type	Default	Label	Description
7:4	RW	0000	Reserved	Reserved
3:0	RW	0000	ALCLOWTH[3:0]	ALC Low Threshold 0000 = 0.25 0001 = 0.2 0010 = 0.15 0011 = 0.1 0100 = 0.05 0101 = 0.03 0110 = 0.02 0111 = 0.01 1000 = 0.005 1001 = 0.001 1010 = 0.0005 1011 = 0.0001 Others = Reserved

5 Chip Enable et contrôle de mode

Il y a trois broches SW1 /

Table 5: Pin SW1/SW2

SW1	SW2	Chip Mode	IOVDD	Clock Source
0	0	Power Off	1.6~3.6V	N/A
0	1	Power On	1.6~3.6V	12MHz
1	0	Power On	1.6~3.6V	32.768KHz
1	1	Power On	1.6~3.6V	7.6MHz

6 MUET

L'émetteur FM peut être mis en sourdine en réglant le registre MUTE sur "1" via la programmation I2C.

7 DETECTION SILENCE

Bit name	Register location	Description
SLNCDIS	Reg 0x12[7]	Setting to 0 to enable the silence detection
SLNCTIME[2:0]	Reg 0x14[7:5]	Silence detection time window
SLNCTIME[3]	Reg 0x14[0]	Silence detection long time window
SLNCTHL[2:0]	Reg 0x12[6:4]	Low threshold voltage of input signal for silence detection
SLNCTHH[2:0]	Reg 0x12[3:1]	High threshold voltage of input signal for silence detection
SLNCCNTTHL[2:0]	Reg 0x14[4:2]	# of time when the input signal amplitude is lower than SLNCTHL
SLNCCNTTHH[2:0]	Reg 0x16[2:1]	# of time when the input signal amplitude is higher than SLNCTHH
SLNCID	Reg 0x0F[2]	(Read only) Set to 1 when silence is detected.

Le schéma de détection de silence est activé en définissant SLNCDIS sur 0.

Pendant le temps défini par SLNCTIME [2: 0], la puce sera mise en sourdine lorsque le nombre de fois où l'amplitude d'entrée est supérieure à la tension définie par SLNCTHL [2: 0] est inférieure à SLNCCNTTHL [2: 0].

Le bit SLNCID est mis à 0. En KT0803L, SLNCTIME [3] est ajouté pour augmenter le temps de silence, ce qui permet l'utilisateur fixe le temps de silence jusqu'à 64s. Une autre fonctionnalité améliorée est que KT0803L peut couper l'alimentation amplificateur automatiquement si l'heure de silence atteint la valeur spécifiée en définissant AUTO_PADN sur 1.

Lorsque l'amplitude du signal d'entrée est supérieure à la tension définie par SLNCTHH [2: 0] et le nombre de le moment où cela se produit est supérieur à SLNCCNTTHH [2: 0], la puce sort du statut muet et la SLNCID est effacé à 0.

8 ALC (Automatic Level Control)

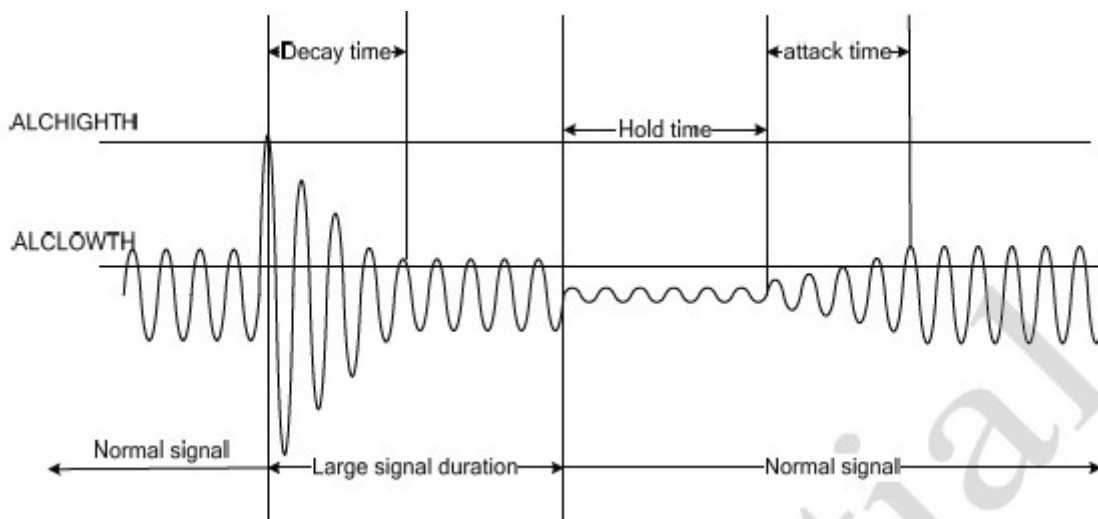


Figure 9 ALC working principle

Bit name	Register location	Description
ALC_DECAY_TIME[3:0]	Reg0x0C[7:4]	ALC decay time
ALC_ATTACK_TIME[3:0]	Reg0x0C[3:0]	ALC attack time
ALCHOLD[2:0]	Reg0x26[7:5]	ALC hold time
ALCHIGHTH[2:0]	Reg0x26[3:1]	ALC high threshold level
ALCLOWTH[3:0]	Reg0x27[3:0]	ALC low threshold level
ALCCMPGAIN	Reg0x15[7:5]	ALC compressed gain
ALC_EN	Reg0x04[7]	ALC enable control

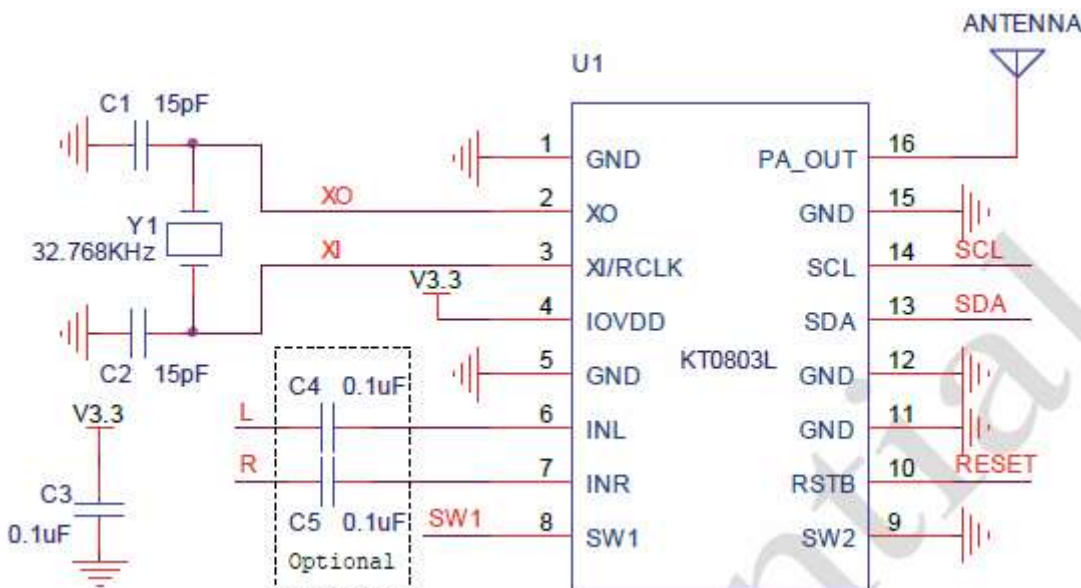
ALC est utilisé pour contrôler le gain audio automatiquement en fonction de l'amplitude du signal d'entrée actuel comme indiqué sur la figure 9. Une fois le signal supérieur à la valeur spécifiée dans le registre ALCHIGHTH est détecté, le gain audio sera compressé à la valeur spécifiée dans le registre ALCCMPGAIN automatiquement. Le temps utilisé pour passer du gain audio actuel au gain audio compressé est appelé temps de déclin et peut être spécifié via le registre ALC_DECAY_TIME [3: 0]. Si tous les niveaux de signal sont inférieurs à la valeur spécifiée dans enregistrer ALCLOWTH [3: 0] dans un certain temps (ce temps est appelé temps de maintien et peut être spécifié par register ALCHOLD [2: 0]), le son sera augmenté du gain compressé au gain original. Le gain Le temps de montée est appelé temps d'attaque et cette durée peut également être spécifiée dans le registre ALC_ATTACK_TIME [3: 0].

9 Reset

La réinitialisation globale est émise après que la broche RSTB a été réglée sur "0" ou que la réinitialisation de la mise sous tension de la puce automatique ait été effectuée. Après un global réinitialiser, tous les registres sont réinitialisés à la valeur par défaut

10 Typical Application Circuits

Le KT0803L peut être intégré dans une large gamme de systèmes en ne nécessitant qu'une seule alimentation.



La figure 10 montre le diagramme externe pour le remplacement de KT0803K et KT0803M.

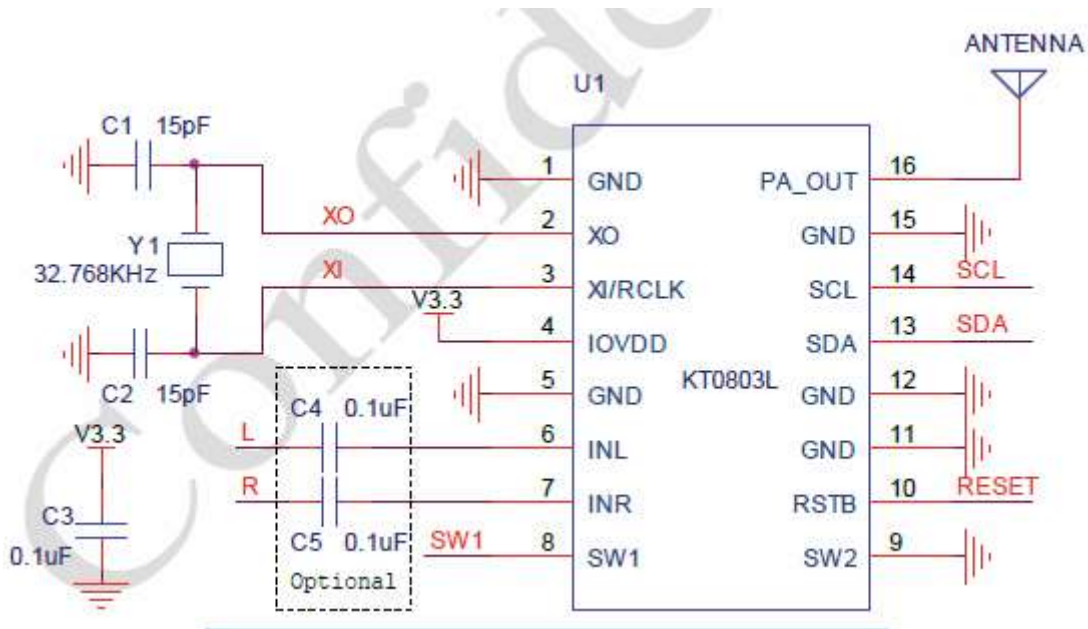


Figure 10: Configuration typique pour un remplacement direct

Comme indiqué dans le bloc ci-dessus, KT0803L est entièrement compatible avec KT0803K et KT0803M

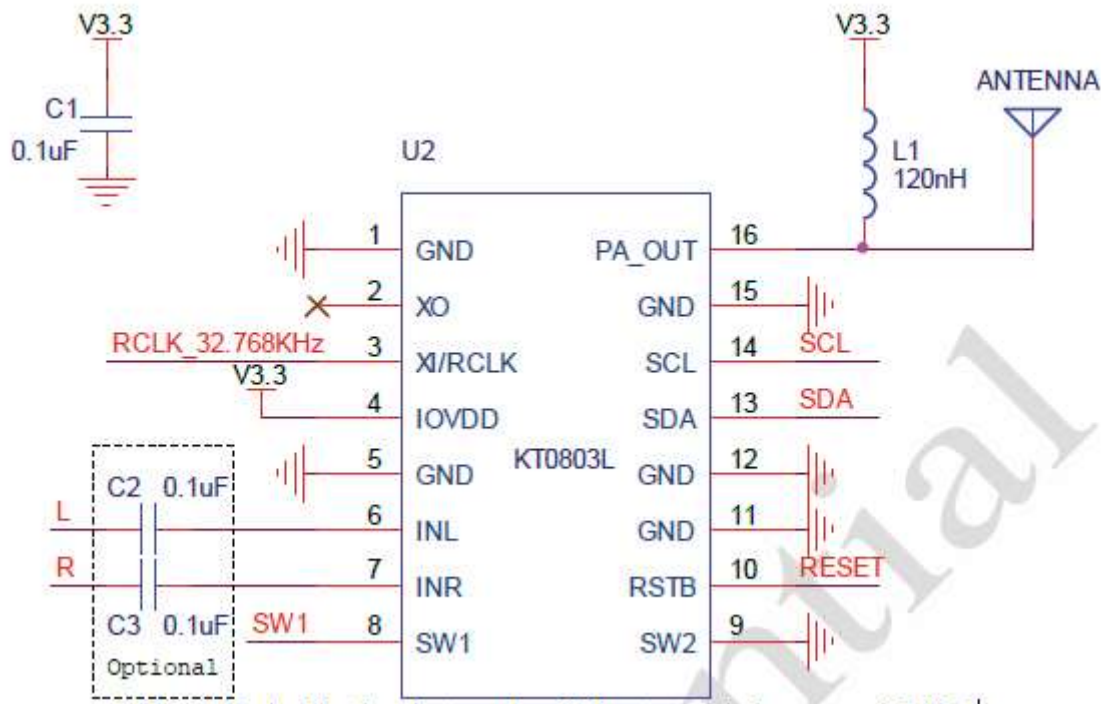


Figure 11: Application nécessitant une puissance d'émission supérieure (> 5 dBm)